

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開
 ⑫ 公開特許公報 (A) 平3-153031

⑬ Int. Cl.^{*}H 01 L 21/316
21/76

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)7月1日

N

7638-5F
6940-5F

H 01 L 21/94

審査請求 未請求 請求項の数 1 (全6頁)

A

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平1-292663

⑰ 出 願 平1(1989)11月10日

⑱ 発明者 堀田昌継 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
 内

⑲ 出願人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

⑳ 代理人 弁理士 野河信太郎

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1. (a)シリコン基板表面にシリコン酸化膜と多結晶シリコン膜と有機シリコンを原料とするCVD法によるマスク用酸化シリコン膜とを順に積層する工程と、

(b)このマスク用酸化シリコン膜を所定のパターンにエッチングして酸化シリコン膜マスクを形成し、このパターンを通してこの下の多結晶シリコン膜とシリコン酸化膜とをエッチング後、シリコン基板に素子分離領域用の溝を掘り、前記マスク用酸化シリコン膜を除去後に、溝の側面を熱酸化して熱酸化シリコン絶縁層を形成する工程と、

(c)前記溝に、ボロン及びリンを含んだ熱ガラス(BPSG)を埋め込み、表面が平坦化されたBPSG層を形成した後、このBPSG層を溝内に残すようにエッチバックしてBPSG絶縁層を形成する工程と、

(d)前記BPSG絶縁層上に、CVD法で絶縁用硅

化シリコン膜を堆積して溝内を埋め込み、この絶縁用酸化シリコン膜の上方を平坦化するBPSG膜を再び形成した後、BPSG膜に対するエッチング速度が絶縁用酸化シリコン膜に対するエッチング速度と同等か又は遅いエッチング速度を有するフッ素系エッティング液を用いたウェットエッティング法によりエッチバックして絶縁用酸化シリコン膜の一部を残すようにして溝の上部に酸化シリコン絶縁層を形成して、前記熱酸化シリコン絶縁層とBPSG絶縁層と酸化シリコン絶縁層とからなる素子分離領域を形成する工程と、

(e)前記、多結晶シリコン膜とシリコン酸化膜を除去する工程と、

からなる半導体装置の製造方法。

3. 発明の詳細な説明

(イ) 産業上の利用分野

この発明は、半導体装置の製造方法に関し、特に高集成化を可能とする素子分離領域の形成方法を改善した半導体装置の製造方法に関するものである。

(ロ) 従来の技術

特開平3-153031(2)

従来、半導体装置の素子分離領域を形成する方法としては、質化シリコン膜をマスクとして、厚い酸化シリコン膜を選択的に形成するLOCOS法（Local Oxidation of Silicon）が広く使われていたが、生成されるバーズピーク（素子領域を決くする口ばし状の複数部）の為、1μm以下の素子間を分離することは困難である。そのためにバーズピークのない素子分離として、色々の方法が提案されている。その1つに素子分離領域のシリコン表面に溝を形成した後、CVD法により酸化シリコン膜を埋め込む、いわゆるボックス法がある。

このボックス法は、まず第2図(a)に示す様に、シリコン基板21の素子分離領域に溝22を形成し、

次に、第2図(b)に示す様に、CVD法により酸化シリコン膜23を溝内に埋め込み、

次に、第2図(c)に示す様に、CVD酸化シリコン膜23が堆積されたシリコン基板21上にフォトレジスト24を厚く塗布し、

次に第2図(d)に示す様に、シリコン基板21

引き起こし、半導体装置の歩留まりを低下させる原因となる。

また、ゲート作型工程において、ゲートのエッジ部（素子分離領域のコーナー部分）では、溝の側壁部分にもゲート酸化膜が形成される為、ゲートのエッジ部で、電界集中が起こりやすく、ハンブル電流が流れ等の問題を生じる。

さらに、素子分離領域の溝にBPSG膜を埋め込む場合は、埋め込み後の平坦性には、優れているが、高温度のボロンとリンを含んでいる為、ゲート工程中のオートドーピング、またフッ素系のエッチング液のエッチング速度が、熱酸化により形成された酸化シリコン膜よりも極端に遅い為、遮蔽率が大きい等の欠点がある。

この発明は、上記の事情を考慮してななされたものであって、素子分離領域形成時に、素子領域へのバーズピークが無く、エッチング液による遮蔽率がなく、素子分離領域のコーナー部での電界集中を抑制でき、微細化に有利な半導体装置の製造方法を提供しようとするものである。

の表面が露出するまで、フォトレジスト24及びCVD酸化シリコン膜23をエッティングし、素子分離領域23'を形成して行われている。

(ハ)発明が解決しようとする課題

上述した従来の半導体装置の製造方法では、溝22に埋め込まれたCVD酸化シリコン膜23'がシリコン基板表面と既同一平面上にあるから、素子分離領域が形成された後に行われる素子の製造工程において、次のような問題点を生じる。

すなわち、ゲート形成工程において、フッ素系のエッティング液によるウェットエッティング処理が行われるが、溝22に埋め込まれたCVD酸化シリコン膜23'は、熱酸化によってシリコン基板21上に形成された酸化シリコン膜よりも、前記エッティング処理液に対してエッティング速度が速いために、第2図(e)に示す様に、CVD酸化シリコン膜23'がシリコン基板21の表面上よりも下に、後退してしまう。この様にして生じた段差は、急峻なため、その後、ゲート電極等の素子を形成する際にエッティング段差が生じ易く、短絡現象を

(ニ)課題を解決するための手段

この発明によれば、(a)シリコン基板表面にシリコン酸化膜と多結晶シリコン膜と有機シリコンを原料とするCVD法によるマスク用酸化シリコン膜とを順に接着する工程と、(b)このマスク用酸化シリコン膜を所定のパターンにエッティングして酸化シリコン膜マスクを形成し、このパターンを通してこの下の多結晶シリコン膜とシリラン酸化膜とをエッティング後、シリコン基板に素子分離領域用の溝を掘り、前記マスク用酸化シリコン膜を除去後、溝の側面を熱酸化して熱酸化シリコン絶縁膜を形成する工程と、(c)前記溝に、ボロン及びリンを含んだ硅酸ガラス(BPSG)を埋め込み、表面が平坦化されたBPSG膜を形成した後、このBPSG膜を溝内に残すようにエッチバックしてBPSG絶縁膜を形成する工程と、(d)前記BPSG絶縁膜上に、CVD法で絶縁用酸化シリコン膜を堆積して溝内を埋め込み、この絶縁用酸化シリコン膜の上方を平坦化するBPSG膜を再び形成した後、BPSG膜に対するエッティング速度が絶縁用酸化シリコン膜に対

特開平3-153031 (3)

するエッティング速度と同等か又は遅いエッティング速度を呈するフッ素系エッティング液を用いたウェットエッティング法によりエッチパックして絶縁用酸化シリコン膜の一部を残すようにして溝の上部に酸化シリコン絶縁層を形成して、前記熱酸化シリコン絶縁層とBPSG絶縁層と酸化シリコン絶縁層とからなる素子分離領域を形成する工程と、(e)前記、多結晶シリコン膜とシリコン酸化膜を除去する工程と、からなる半導体装置の製造方法が提供される。

この発明においては、シリコン基板表面にシリコン酸化膜と多結晶シリコン膜と有機シリコンを原料とするCVD法によるマスク用酸化シリコン膜とを順に積層する。このシリコン酸化膜は、この上に積層される多結晶シリコン膜を使用後除去するエッティング工程において、シリコン基板のオーバーエッティングを防ぐためのものであって、熱酸化法によってシリコン基板上に、通常100~500Åの膜厚に形成することができる。

この多結晶シリコン膜は、素子分離領域のバ-

ー層を形成する。この酸化シリコン膜マスクは、シリコン基板の素子分離領域の形成を意図する位置に溝を形成するためのマスクであって、ホトリソグラフィ法によって、所定のパターンにエッティングして形成することができる。このパターンは、形成を意図するシリコン基板の素子分離領域に対応する位置に通常幅0.5~2.0μmの開口部を形成するが述している。

この溝は、素子分離領域を構成する熱酸化シリコン絶縁層、BPSG絶縁層及び酸化シリコン絶縁層を被覆するためのものであって、通常幅0.5~2.0μm、深さ0.4~1.0μmで所定のパターンを有するものであればよいが、その形状は、開口面よりも底面が小さくなるような傾斜した側面を有する形状が好ましい。また、この溝は、前記酸化シリコン膜マスクを用いて、例えば反応性イオンエッティング法等によって形成することができる。この熱酸化シリコン絶縁層は、形成を意図する素子分離領域を構成してその絶縁性を高めるためのものであって、前記溝の表面に熱酸化法によって通常、300

Åビーグの発生を防止するためのものであって、前記シリコン酸化膜上に、例えばスパッタ法、気相成長法等によって、通常1000~3000Åの膜厚にして形成することができる。前記マスク用酸化シリコン膜は、素子分離領域の形成を意図する位置と対応する位置に開口部を有するシリコン基板エッティング用のマスクを形成するためのものであって、前記多結晶シリコン膜の上に有機シリコン化合物と酸素とを原料とするCVD法(例えば低压CVD法等)により、通常1500~3000Åの膜厚になるように形成することができる。この有機シリコン化合物としては、例えばテトラエチルオルソシリケート(TEOS, (C₂H₅O)₄Si)等がある。

この発明においては、このマスク用酸化シリコン膜を所定のパターンにエッティングして酸化シリコン膜マスクを形成し、更にこのパターンを通してこの下の多結晶シリコン膜とシリコン酸化膜とをエッティング後、シリコン基板に素子分離領域用の溝を掘り、前記マスク用酸化シリコン膜を除去後、溝の側面を熱酸化して熱酸化シリコン絶縁

~600Åの膜厚になるように形成することができる。この際、通常露出している多結晶シリコン膜の表面も酸化される。

この発明においては、前記溝にボロン及びリンを含んだ硅酸ガラス(BPSG)を埋め込み、表面が平坦化されたBPSG膜を形成した後、このBPSG膜を溝内に残すようにエッチパックしてBPSG絶縁層を形成する。このBPSG層は、前記溝内にBPSG絶縁層を形成するためのものであって、例えばCVD法により、溝の内部を含む領域に通常6000~9000Åの膜厚となるよう堆積し、通常950°C以上の高温で加熱させることによって、表面を平坦化して形成することができる。

前記エッチパックは、前記BPSG層と熱酸化シリコン絶縁層とのエッティング速度の選択比の大きなエッティング液としては、例えばフッ化水素液(希釈HF)等を用いて行うことができる。このBPSG絶縁層は、形成を意図する素子分離領域を構成してその絶縁性を高めるためのものであって、前記溝の中に表面がシリコン基板面に対して凹状とな

特開平3-153031 (4)

るよう形成するのが適している。

この発明においては、前記BPSG絶縁層上に、CVD法で絶縁用酸化シリコン膜を堆積して溝内を埋め込み、この絶縁用酸化シリコン膜の上方を平坦化するBPSG膜を再び形成した後、BPSG膜に対するエッチング速度が絶縁用酸化シリコン膜に対するエッチング速度と同等か又は遅いエッチング速度を呈するフッ素系エッチング液を用いたウェットエッチング法によりエッチバックして絶縁用酸化シリコン膜の一部を削るようにして溝の上部に酸化シリコン膜を形成して前記熱酸化シリコン絶縁層とBPSG絶縁層と酸化シリコン絶縁層とかなる素子分離領域を形成する。

この絶縁用酸化シリコン膜は、前記BPSG絶縁層の上にシリコン基板面に対して凸状で、かつ前記多結晶シリコン層の開口幅と同様の幅の酸化シリコン絶縁層を形成するためのものであって、前記多結晶シリコン膜及びBPSG絶縁層上に、例えば低圧CVD法によって、HTO (High Temperature Oxide)あるいはNSG (Non doped Silicate

絶縁層と、これらの絶縁層を包囲する前記熱酸化シリコン絶縁層とから素子分離領域を形成する。

この発明においては、前記多結晶シリコン膜とシリコン酸化膜を除去する。この除去によってシリコン基板上に素子形成領域が形成され、この領域に素子を形成して半導体装置を製造することができる。

この発明においては素子分離領域は、素子を形成する工程（例えば、ゲート作成工程等）において、酸化シリコン絶縁層が下方のBPSG絶縁層からのボロンやリンの拡散を抑え、かつフッ素系のエッチング液を用いても陥没り量が少なく、良好な绝缘特性を呈することができる。

(ホ)作用

多結晶シリコン膜が、バーズピークの発生を抑え、また、酸化シリコン膜に対するエッチング速度がBPSG膜に対するエッチング速度と同等か又は遅いエッチング速度を呈するエッチング液が多結晶シリコン膜の開口部に堆積された酸化シリコン膜をシリコン基板面に対して凸状となるようにエッ

チング）を、通常1000~4000Åの膜厚に堆積させて形成することができる。この再び形成するBPSG膜は、下方の前記絶縁用酸化シリコン膜を所定形状にエッチングするためのものであって、例えばCVD法により絶縁用酸化シリコン膜の凹部を含む領域に、通常5000~8000Åの膜厚となるように堆積し、通常950°C以上で焼成させることによつて表面を平坦化して形成することができる。前記エッチング液は、最上部のBPSG膜の実質的全部とその下の酸化シリコン膜の一部を所定形状にエッチングするためのものであって、BPSG膜に対するエッチング速度が酸化シリコン膜に対するエッチング速度と同等か又は遅いエッチング速度を呈するエッチング液を用いることができ、例えばパッファードウッド (B.H.P.) 等を挙げることができる。このエッチングにより、BPSG絶縁層の上にシリコン基板面に対して凸状でかつ前記多結晶シリコン層の開口部の幅と同様の幅を有する絶縁用酸化シリコン膜からなる酸化シリコン絶縁層を形成し、この酸化シリコン絶縁層と、この下部のBPSG

チングする。

(ヘ)実施例

以下に、この発明の実施例を図面に基づいて説明する。

最初に第1図(a)に示す様に、P型シリコン基板1-0の表面に熱酸化法により、300Åの熱酸化シリコン膜1-1を形成し、この上に200Åの多結晶シリコン膜1-3を形成し、この上に200ÅのCVD法によるマスク用シリコン膜1-3を低圧CVD法により順次堆積させる。ただし、マスク用酸化シリコン膜1-3に対する原料としては、テトラエチルオルソシリケート(($C_2H_5O)_4Si)と酸素を用いる。$

次に、ホトマスクを用いた反応性イオンエッチング法により、マスク用酸化シリコン膜1-3に素子分離領域の形成を意図する位置に対応するパターンのエッチングを施し、ホトマスクを除去して酸化シリコン膜のマスク1-3を形成する。

次に、第1図(b)に示すように、酸化シリコン膜のマスク1-3を用いた反応性イオンエッチング法により多結晶シリコン膜1-2、熱酸化シリコ

特開平3-153031 (5)

シリコン基板上に所定のバターンにエッチングし、更にシリコン基板上部幅1.0μm、下部幅0.2~0.4μm、深さ0.7μmの所定のバターンの溝14を形成する。すなわち、溝14の側壁には、テーパが付くようエッチングする。

次に、第1図(c)に示す様に、酸化シリコン膜のマスク13aを除去し、溝14内に再び熱酸化法により450Åの熱酸化シリコン絶縁層15を形成する。この時、多結晶シリコン膜12上にも熱酸化シリコン膜を形成する。その上に7500ÅのBPSG膜16をCVD法により堆積させ、窒素雰囲気中で950°C以上の高温でアニールし、平坦化する。

次に、第1図(d)に示す様に、BPSG膜16と熱酸化シリコン膜11とのエッチング速度の選択比の大きなエッチング液のフッ化水素液(希釈HF)を用いて、熱酸化シリコン膜11にサイドエッチングが入らない様に、BPSG膜をエッチング処理し、BPSG膜16の表面の高さがシリコン基板10の表面よりも高くならない程度に設定する。

の上に、PTEを形成して半導体装置を作製する。得られた半導体装置は、ハンプ電流や短絡現象がなく、良好な電子分離領域が形成されていることが確認された。

(ト)発明の効果

この発明によれば、下記の結果が得られる。

(1)電子領域のバースピークを解消することができる。

(2)電子分離領域以外のシリコン基板表面上にシリコン酸化膜を薄く形成し、その上に多結晶シリコン膜を厚く堆積することにより、電子分離領域をシリコン基板表面よりも突出させるように形成しているので、後工程でのエッチング処理によって絶縁物が多少エッチングされてもシリコン基板表面よりも落ち込むことはない。したがって、ゲートコーナー部での電界集中を抑制し、ハンプ電流が流れるのを防止できる。

(3)電子分離領域内で、BPSG絶縁層の上部にHTO膜を形成している為、ゲート工程等でのオートドーピングを抑制できる。

次に、第1図(e)に示す様に、溝内のBPSG絶縁層16'の表面を復元する様に、溝内に低圧CVD法によって2500ÅのHTO(High Temperature Oxide SiO₂)膜17を堆積させる。その上に再び6500ÅのBPSG膜18を前記と同様の方法で堆積させ、平坦化する。

次に第1図(f)に示す様に、BPSG膜とHTO膜がほぼ等速、又はBPSG膜のエッチング速度がやや遅い様なエッチング液のバッファードフッ酸(BHF)を用いて多結晶シリコン膜12の表面が露出するまでエッチング処理を行い、BPSG絶縁層16'の上部にHTO絶縁層17'を残すようとする。

更に、第1図(g)に示す様に、多結晶シリコン膜12を反応性イオンエッチング法により除去した後、熱酸化シリコン膜11をフッ酸系エッチング液により除去し、電子分離領域を形成する。

この電子分離領域は、バースピークの発生はなかった。

更に、この電子分離領域を有するシリコン基板

(4)電子分離領域内で、BPSG絶縁層の上部にHTO絶縁層を用いている為、HTO絶縁層のフッ酸系のウェットエッチャートレートはBPSG絶縁層に比較して遅く、熱酸化膜に近い為、工程中の廃棄り率を低減できる。

(5)電子分離溝内の埋め込みに多結晶シリコン膜を用いた場合は、エッチャック後に多結晶シリコン膜の表面を酸化する必要がある為、シリコン基板への応力の影響を考慮する必要があるが、BPSG膜を用いた場合は酸化等の必要がなく、シリコン基板に与える応力を低減することができる。

4. 図面の簡単な説明

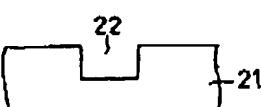
第1図(a)～(e)は本発明の実施例において作製した半導体装置の製造工程説明図、第2図は従来の半導体装置の製造方法の説明図である。

- 10……P型シリコン基板、
- 11……熱酸化シリコン膜、
- 12……多結晶シリコン膜、
- 13……マスク用酸化シリコン膜、

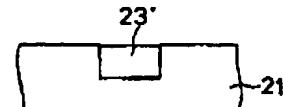
特開平3-153031 (6)

13 a ……酸化シリコン膜のマスク、
 14 ……窓、15 ……酸化シリコン絶縁層、
 16 ……BSPG膜、16' ……BSPG絶縁層。
 17 ……HTO膜、
 17' ……HTO絶縁層、18 ……BSPG膜。

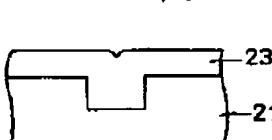
第2図(a)



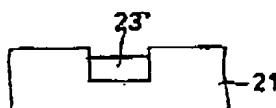
第2図(d)



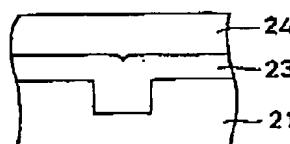
第2図(b)



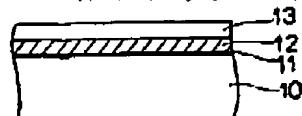
第2図(e)



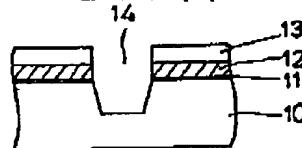
第2図(c)



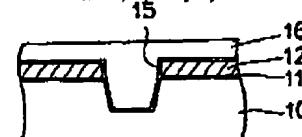
第1図(a)



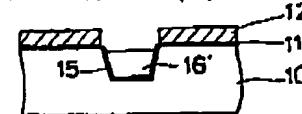
第1図(b)



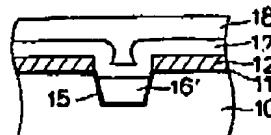
第1図(c)



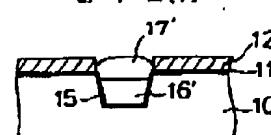
第1図(d)



第1図(e)



第1図(f)



第1図(g)

